No. of Printed Pages : 15 **BPHET–143**

BACHELOR OF SCIENCE

(GENERAL)

(BSCG)

Term-End Examination

June, 2026

BPHET-143 : DIGITAL AND ANALOG CIRCUITS AND INSTRUMENTATION

Time : 2 Hours *Maximum Marks : 50*

Note : *(i) All questions are compulsory.*

(ii) However, internal choices are given.

(iii) Use of calculator is allowed.

(iv) Symbols have their usual meanings.

---

1. Attempt any *five* parts : 5×2=10

(a) Distinguish between *p*-*n* junction diode and photodiode.

(b) Draw the circuit diagram for a *p*-channel JFET for $V_{GS} = 0$ V.

(c) For a transistor of CE configuration the values of *h*-parameters are $h_{11} = 5\,\text{k}\Omega$; $h_{12} = 1.2 \times 10^{-4}$; $h_{21} = 300$ and $h_{22} = 20\,\mu\text{s}$. Calculate current gain if $R_L = 2\ \text{k}\Omega$.

(d) Convert Octal number 567_8 to (i) binary (ii) hex.

(e) If one input of a two input XOR gate is permanently set to a high state (1) explain with the help of truth table, which type of a logic gate will it effectively behave as ?

(f) Obtain a NOT gate using transistor.

(g) What is the difference between half adder and full adder ?

(h) Determine the frequency of oscillation of a Wien bridge oscillator circuit that uses 10 kΩ resistor and 4.7 nF capacitors.

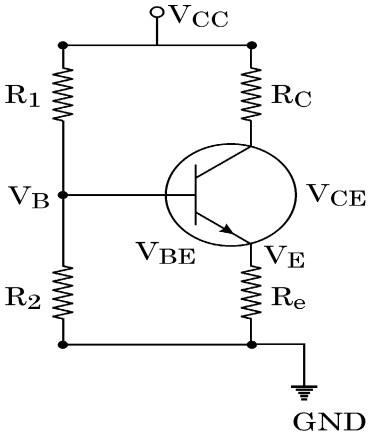
2. Attempt any *two* parts : 2×5=10

(a) Explain the construction and working of a Zener diode. Draw its labelled I-V characteristics.

(b) Describe the Common Base (CB), Common Emitter (CE) and Common Collector (CC) configurations of an *n-p-n* transistor illustrating each with a suitable circuit diagram. Write the application of CE configuration.

(c) For a universal bias circuit shown in figure below; $R_1 = 40\ k\Omega$, $R_2 = 10\ k\Omega$, $R_c = 1\ k\Omega$, $R_e = 2\ k\Omega$, $V_{CC} = 30\ V$, $V_{BE} = 0.7\ V$ and $\beta = 100$. Draw the

load line and show the Q point for this circuit.



3. Attempt any *two* parts : 2×5=10

(a) Prove the following Boolean equation using the law of Boolean Algebra. (A + B) (A + C) = A + BC.

(b) Simplify the following logic expression using K-map and realise it using 2 input gates :

$$Y = \overline{A}BC + A\overline{B}C + ABC + \overline{A}B\overline{C} + \overline{A}\overline{B}C$$

(c) Draw a circuit of a 4 bit 2's complement binary adder subtractor used for subtraction of binary equivalent of 9 from binary equivalent of 15.

4. Attempt any *two* parts : 2×5=10

(a) Derive the expression for the input impedance of a common emitter (CE) amplifier using its *h*-parameters, assuming the load resistance of R_L. 5

(b) With the help of a circuit diagram explain the working of Hartley Oscillator. Write the expression for its frequency of oscillation. 4+1

(c) Explain with a diagram how to configure an op-Amp as an inverting

summing amplifier, and derive the expression for the output voltage (V_o) when three input voltages (V_1, V_2 and V_3) are applied through resistors (R_1, R_2 and R_3) to the inverting input. 2+3

5. Attempt any *two* parts : 2×5=10

(a) Design and draw a series pass voltage regulator to get $V_o = 10\,V$ dc output with maximum load current $I_L = 200\ mA$. Given that the nominal input voltage $V_{in} = 20\ V$, $\beta = 50$, $V_{BE} = 0.6\ V$ (*n-p-n* transistor) and $I_Z = 5\ mA$.

(b) Explain the operation of IC555 timer as a monostable multivibrator with a relevant circuit diagram. Find values of R and C to obtain a pulse width of 22 ms.

(c) Draw the schematic diagram of CRT sharing its major components.

BPHET–143

विज्ञान स्नातक (सामान्य)

(बी. एस.-सी. जी.)

सत्रांत परीक्षा

जून, 2026

बी.पी.एच.ई.टी.-143 : अंकीय एवं अनुरूप परिपथ और उपकरणशास्त्र

समय : 2 घण्टे अधिकतम अंक : 50

नोट : *(i) सभी प्रश्न अनिवार्य हैं।*

(ii) आंतरिक विकल्प दिए गए हैं।

(iii) आप कैल्कुलेटर का उपयोग कर सकते हैं।

(iv) प्रतीकों के अपने सामान्य अर्थ हैं।

---

1. किन्हीं **पाँच** भागों को हल कीजिए : $5\times2=10$

(क) p-n संधि डायोड और फोटोडायोड के बीच अन्तर बताइए।

(ख) $V_{GS} = 0$ V के लिए p-चैनल JFET का परिपथ चित्र खींचिए।

(ग) एक ट्रांजिस्टर के CE विन्यास में h-प्राचलों के मान निम्नलिखित हैं : $h_{11} = 5\ \text{k}\Omega$; $h_{12} = 1.2\times10^{-4}$; $h_{21} = 300$ और $h_{22} = 20\,\mu\text{s}$ । यदि $R_L = 2\ \text{k}\Omega$ हो तो धारालब्धि परिकलित कीजिए।

(घ) अष्टाधारी संख्या 567_8 को (i) द्वि-आधारी (ii) षोडशाधारी तुल्य में रूपान्तरित कीजिए।

(ङ) यदि XOR गेट का एक निवेश स्थायी रूप से उच्च स्तर (1) में रखा जाए तो यह गेट कौन-से तर्क गेट की तरह आचरण करेगा। यह सत्यमान सारणी की सहायता से स्पष्ट कीजिए।

(च) ट्रांजिस्टर का उपयोग करके NOT गेट प्राप्त कीजिए।

(छ) अर्ध योजक और पूर्ण योजक में क्या अन्तर होता है ?

(ज) 10 kΩ प्रतिरोधकों और 4.7 nF संधारित्रों की उपयोग करने वाले वीन सेतु दोलित्र परिपथ की दोलन आवृत्ति ज्ञात कीजिए।

2. किन्हीं **दो** भागों को हल कीजिए : 2×5=10

(क) जेनर डायोड की संरचना और कार्यप्रणाली समझाइए। इसके चिह्नित I-V अभिलाक्षणिक खींचिए।

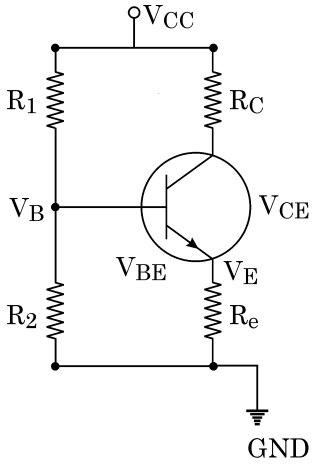
(ख) उचित सम्बद्ध परिपथ चित्रों की सहायता से *n-p-n* ट्रांजिस्टर के उभयनिष्ठ आधार (CB), उभयनिष्ठ उत्सर्जक (CE) और उभयनिष्ठ संग्राही (CC) विन्यासों की व्याख्या कीजिए।

(ग) नीचे चित्र में दिखाए गए सार्वत्रिक बायस परिपथ में

$R_1 = 40\ k\Omega$, $R_2 = 10\ k\Omega$, $R_c = 1\ k\Omega$,

$R_e = 2\ k\Omega$, $V_{CC} = 30\ V$, $V_{BE} = 0.7\ V$

और $\beta = 100$ हैं। इस परिपथ के लिए लोड लाइन खींचिए और उस पर Q-बिन्दु दर्शाइए।



3. किन्हीं **दो** भागों को हल कीजिए : 2×5=10

(क) बूलीय बीजगणित के नियमों का उपयोग करके निम्नलिखित बूलीय समीकरण सिद्ध कीजिए :

$$(A + B)(A + C) = A + BC$$

(ख) कॉरनाफ मानचित्र (K-map) का उपयोग करके निम्नलिखित तर्क समीकरण सरल कीजिए और इसे

2-निवेशों वाले गेटों का उपयोग करके निष्पादित कीजिए :

$$Y = \overline{A}BC + A\overline{B}C + ABC$$

$$+ \overline{A}B\overline{C} + \overline{A}\overline{B}C$$

(ग) दो के पूरक द्वि-आधारी योजक-व्यवकलक का उपयोग करके 15 के द्विआधारी तुल्य से 9 के द्वि-आधारी तुल्य को घटाने के लिए प्रयुक्त परिपथ का चित्र खींचिए।

4. किन्हीं **दो** भागों को हल कीजिए : $2\times5=10$

(क) लोड प्रतिरोध R_L मानकर h-प्राचलों का उपयोग करके उभयनिष्ठ उत्सर्जक (CE) प्रवर्धक की निवेश प्रतिबाधा का व्यंजक व्युत्पन्न कीजिए। 5

(ख) परिपथ चित्र की सहायता से हार्टले दोलित्र की कार्यप्रणाली समझाइए। इसकी दोलन आवृत्ति का व्यंजक लिखिए। 4+1

(ग) परिपथ आरेख के साथ समझाइए कि ऑप एम्प को प्रतिलोमी योजक के रूप में कैसे विन्यसित किया जाता है। यदि तीन निवेश वोल्टताएँ (V_1, V_2 और V_3) प्रतिरोधकों (R_1, R_2 और R_3) द्वारा प्रतिलोमी निवेश पर लागू की जाती हैं तो निर्गम वोल्टता V_o का व्यंजक व्युत्पन्न कीजिए। 2+3

5. किन्हीं **दो** भागों को हल कीजिए : $2\times5=10$

(क) निर्गम वोल्टता 10 V और अधिकतम लोड धारा 200 mA प्राप्त करने के लिए एक श्रेणी पारण वोल्टता नियामक डिज़ाइन कीजिए और इसका परिपथ चित्र खींचिए। नामीय निवेश वोल्टता $V_{in} = 20$ V, $\beta = 50$, $V_{BE} = 0.6$ V (n-p-n ट्रांजिस्टर) और जेनर के लिए $I_Z = 5$ mA मान लीजिए।

(ख) उचित परिपथ चित्र की सहायता से IC555 कालद का एकस्थितिक बहुकंपित्र के रूप में कार्य समझाइए। 22 ms अवधि का स्पंद प्राप्त करने के लिए R और C के मान ज्ञात कीजिए।

(ग) कैथोड किरण नलिका (CRT) के मुख्य घटक दर्शाने वाला व्यवस्था आरेख खींचिए।

× × × × ×